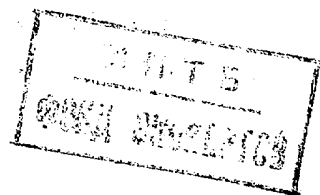




О П И С А Н И Е И З О Б Р Е Т Е Н И Я

К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

(11) 646374



(61) Дополнительное к авт. свид-ву -

(22) Заявлено 16.12.76 (21) 2430439/18-24

с присоединением заявки № -

(23) Приоритет -

Опубликовано 05.02.79. Бюллетень № 5

Дата опубликования описания 08.02.79

(51) М. Кл.²

G11 C 15/00

(53) УДК 681.327
(088.8)

(72) Автор
изобретения

С. И. Хмельник

(71) Заявитель

Ордена Октябрьской Революции всесоюзный государственный
проектно-изыскательский и научно-исследовательский институт
энергетических систем и электрических сетей "Энергосетьпроект"

(54) АССОЦИАТИВНОЕ ЗАПОМИНАЮЩЕЕ УСТРОЙСТВО

1

Изобретение относится к области запоминающих устройств.

Одно из известных устройств содержит регистр опроса, регистр маски, ассоциативный накопитель, детекторы [1].

Недостатком известного устройства являются большие аппаратные затраты.

Из известных устройств наиболее близким техническим решением к данному изобретению является ассоциативное запоминающее устройство (АЗУ), содержащее регистры, накопитель, детектирующие блоки, один вход которых подключен к блоку управления [2].

Накопитель известного АЗУ содержит большое количество сложных запоминающих элементов, позволяющих считывать информацию без ее разрушения с одновременным выполнением некоторых логических функций. Следствием этого являются большие аппаратные затраты и низкая надежность АЗУ.

Целью настоящего изобретения является упрощение и повышение надежности устройства.

Поставленная цель достигается тем, что устройство содержит дешифратор, шифратор и элементы ИЛИ, входы которых под-

2

ключены к соответствующим выходам регистров, а выходы соединены с соответствующими входами дешифратора, другие входы детектирующих блоков подключены к выходам дешифратора, а выходы — к соответствующим входам шифратора.

На чертеже изображена блок-схема предложенного АЗУ.

Прежде чем описывать это АЗУ, рассмотрим одно из свойств полного дешифратора. Такой дешифратор имеет два n -разрядных входа и 2^n выходов. На первый вход подается n -разрядный код

$$K(a) = a_1 \dots a_j \dots a_n, \quad (1)$$

а на второй вход код

$$K(b) = b_1 \dots b_j \dots b_n. \quad (2)$$

Обычно первый вход присоединяется к единичному выходу некоторого регистра, а второй — к нулевому выходу этого регистра. Если в этом регистре хранится код (1) числа a , то $b_k = \bar{a}_k$ и на a -выходе дешифратора появляется сигнал.

Предположим теперь, что слово $K(b)$ не является инверсией слова $K(a)$, а именно,

$$b_k = \begin{cases} \bar{a}_k & \text{при } K \neq j \\ a_k & \text{при } K = j \end{cases}. \quad (3)$$

При этом сигнал появится на α -выходе и на c -выходе, где код числа c имеет вид

$$K(c) = \alpha_1 \dots \alpha_j \dots \alpha_n \quad (4)$$

Пусть далее

$$a_k = \gamma_k \vee \delta_k \quad (5)$$

$$b_k = \gamma_k \vee \delta_k \quad (6)$$

$$\gamma_k = \begin{cases} 1 & \text{при } K \neq j \\ 0 & \text{при } K = j \end{cases} \quad (7)$$

Если разряды кодов (1) и (2) подчиняются соотношениям (5), (6), (7), то дешифратор возбуждает выходы α и c , соответствующие кодам (1) и (4) или, что одно и то же, кодам

$$\begin{matrix} \delta_1 \dots \delta_{j-1} & 1 & \delta_{j+1} \dots \delta_n, \\ \delta_1 \dots \delta_{j-1} & 0 & \delta_{j+1} \dots \delta_n. \end{matrix} \quad (8)$$

Таким образом, если разряды кодов (1) и (2), присоединенных к первому и второму входу полного дешифратора соответственно, удовлетворяют соотношениям (5), (6), (7), то дешифратор возбуждает выходы, соответствующие всем кодам, совпадающим с кодом

$$K(B) = \delta_1 \dots \delta_j \dots \delta_n$$

в тех разрядах, номера которых равны номерам разрядов кода

$$K(G) = \gamma_1 \dots \gamma_j \dots \gamma_n$$

имеющих единичное значение.

Аналогично, если вместо выражения (7) имеет место соотношение

$$\gamma_k = \begin{cases} 1 & \text{при } K \neq j \text{ и } K \neq i \\ 0 & \text{при } K = j \text{ или } K = i \end{cases}$$

то дешифратор возбуждает выходы, соответствующие кодам:

$$\begin{matrix} \delta_1 \dots 1_j \dots 1_i \dots \delta_n \\ \delta_1 \dots 1_j \dots 0_i \dots \delta_n \\ \delta_1 \dots 0_j \dots 1_i \dots \delta_n \\ \delta_1 \dots 0_j \dots 0_i \dots \delta_n \end{matrix}$$

Этот вывод можно продолжить и для большего числа нулевых разрядов γ_k .

Предложенное АЗУ; схема которого изображена на чертеже, использует это свойство полного дешифратора.

Устройство содержит n -разрядный регистр 1 ключевого слова существенных разрядов $K(G)$, n -разрядный регистр 2 базисного кода значений разрядов $K(B)$, группу из n элементов ИЛИ 3 для выполнения поразрядной операции $\gamma_k \vee \delta_k$, группу из n элементов ИЛИ 4 для выполнения поразрядной операции $\gamma_k \vee \delta_k$, дешифратор 5, детектирующие блоки 6, в состав которых входят триггеры 7, блока 8 опроса состояния триггера и детекторы 9. Одни входы 10 блоков 6 подключены к блоку управления 11, выходы блоков 6 соединены со входами шифратора 12, имеющего выход 13.

Нулевой выход регистра 1 и единичный выход регистра 2 подключены ко входам элементов ИЛИ 3, а нулевые выходы регистров 1 и 2 — ко входам элементов ИЛИ 4. Выходы элементов ИЛИ 3 и 4 соединены со входами дешифратора 5 (единичным и нулевым соответственно). Выходы дешифрато-

ра 5 соединены с другими входами детектирующих блоков 6.

Устройство работает следующим образом.

Для ассоциативного поиска в регистры 1 и 2 записываются ключевой и базисный коды соответственно. Для записи или стирания некоторого хода в регистр 1 записывается код $11\dots 11$, а в регистр 2 — данный код.

В соответствии с описанным свойством дешифратор возбуждает те выходы, которые соответствуют всем кодам, удовлетворяющим условию ассоциативного поиска по базисному $K(B)$ и ключевому $K(G)$ кодам. На этих выходах появляются единичные сигналы.

В частности, если $\gamma_k = 1$ для всех K , то дешифратор 5 возбуждает единственный выход, соответствующий коду $K(B)$. Однако, как правило, в результате ассоциативного поиска некоторое подмножество выходов дешифратора 5 вырабатывает единичные сигналы. Эти сигналы поступают в детектирующие блоки 6. Далее эти сигналы обрабатываются по разному в зависимости от типа операции.

При записи или стирании кода, хранящегося в регистре 2, дешифратор 5 вырабатывает единичный сигнал на единственном выходе и этот сигнал поступает на вход триггера 7 соответствующего детектирующего блока 6. Триггер 7 устанавливается в «1» (при записи) или в «0» (при стирании), что определяется типом управляющего сигнала на входе 10. В результате выполнения операций записи и стирания некоторое подмножество триггеров 7 оказывается в единичном состоянии. Каждый такой триггер идентифицирует код, хранящийся в АЗУ.

При ассоциативном поиске сигналы с выходов дешифратора 5 попадают на блоки 8 опроса состояния триггеров 7. Сигналы с результатом опроса поступают на детекторы 9.

Если триггер 7 находится в состоянии «1», то элемент памяти, входящий в состав детектора 9, устанавливается в «1». Мы будем говорить в таком случае, что детектор 9 устанавливается в «1». Таким образом, детектор устанавливается в «1» в том случае, если на соответствующем выходе дешифратора 5 возник единичный сигнал и соответствующий триггер 7 находится в единичном состоянии. Другими словами, детектор 9 устанавливается в «1», если код, соответствующий данному выходу дешифратора 5, удовлетворяет условию поиска и входит в подмножество кодов, предварительно записанных в АЗУ.

Коммутация сигналов, поступающих с выходов дешифратора 5, внутри детектирующих блоков производится с помощью управляющего блока 11 (управляющие сигналы на входе 10 открывают для сигналов дешифратора либо вход установки триггера в «0» — при стирании, либо вход уста-

новки триггера в «1» — при записи, либо вход блока опроса — при поиске).

В результате выполнения указанных поисковых операций некоторое подмножество детекторов 9 устанавливается в «1». Извлечение полученного таким образом многозначного ответа производится известными способами.

Сигнал с выхода очередного детектора поступает на вход шифратора 12. Ответ возникает на его n -разрядном выходе 13. При этом ответом является двоичный код номера детектора 9, совпадающего с номером входа шифратора 12.

Таким образом, описанное АЗУ по сравнению с известными устройствами значительно проще и обладает повышенной надежностью.

Формула изобретения

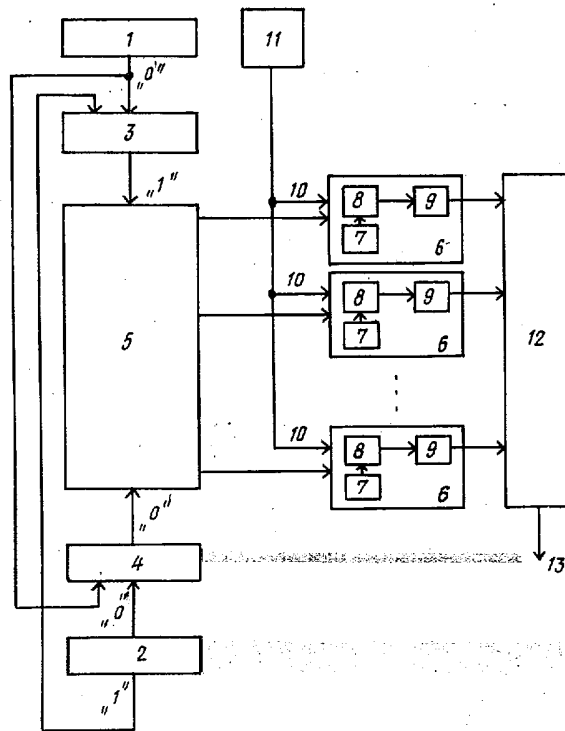
Ассоциативное запоминающее устройство, содержащее регистры, детектирующие

блоки, одни входы которых подключены к блоку управления, отличающееся тем, что, с целью упрощения и повышения надежности устройства, оно содержит дешифратор, шифратор и элементы ИЛИ, входы которых подключены к соответствующим выходам регистров, а выходы соединены с соответствующими входами дешифратора, другие входы детектирующих блоков подключены к выходам дешифратора, а выходы — к соответствующим входам шифратора.

Источники информации, принятые во внимание при экспертизе

1. Авторское свидетельство СССР № 434482, кл. G 11 C 15/00, 1970.

2. Балашов Е. П. и Кноль А. И. Многофункциональные запоминающие устройства. Л., «Энергия», 1972, с. 51.



Редактор С. Равва
Заказ 120/41

Составитель В. Рудаков
Техред О. Луговая
Тираж 680

Корректор Т. Вашкович
Подписное

ЦНИИПИ Государственного комитета СССР
по делам изобретений и открытий
113035, Москва, Ж-35, Раушская наб., д. 4/5
Филиал ППП «Патент», г. Ужгород, ул. Проектная. 4