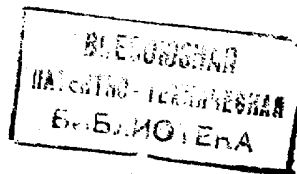




ГОСУДАРСТВЕННЫЙ КОМИТЕТ
ПО ИЗОБРЕТЕНИЯМ И ОТКРЫТИЯМ
ПРИ ГИИТ СССР

ОПИСАНИЕ ИЗОБРЕТЕНИЯ К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ



- (21) 4346799/24-24
- (22) 21.12.87
- (46) 23.04.90. Бюл. № 15
- (71) Всесоюзный научно-исследовательский институт электроэнергетики
- (72) С.И. Хмельник
- (53) 681.325(088.8)

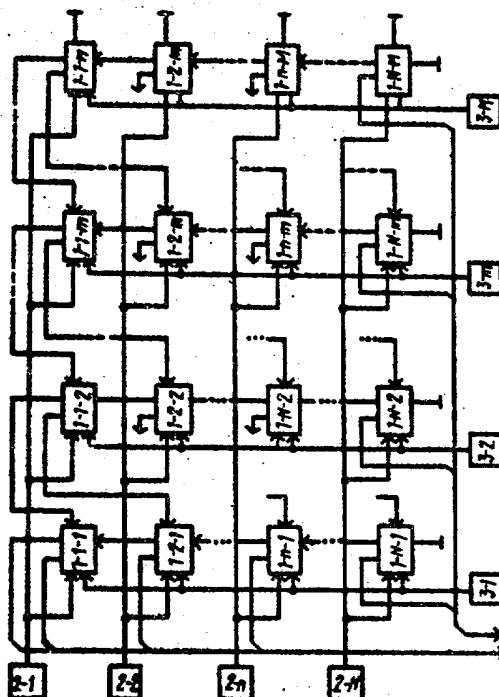
(56) Авторское свидетельство СССР № 1448350, кл. G 06 F 7/38.

Карцев М.А. Арифметика цифровых машин. М.: Наука, 1969, с. 437-439.

(54) ВЫЧИСЛИТЕЛЬНОЕ УСТРОЙСТВО

(57) Изобретение относится к вычисли-

тельной технике. Целью изобретения является расширение функциональных возможностей за счет выполнения операций деления и извлечения квадратного корня для двоичных чисел. Новым в вычислительном устройстве, содержащем матрицу из $(M+N)$ одноразрядных сумматоров 1, является введение $(M+N)$ преобразователей напряжения 2 и 3 с парафазными выводами и построение каждого из одноразрядных сумматоров на логических элементах с парафазными входами и выходами. Это сделало устройство обратимым, что, в свою очередь, дало возможность расширить его функциональные возможности. 3 ил.



Изобретение относится к вычислительной технике.

Целью изобретения является расширение функциональных возможностей за счет выполнения операций деления и извлечения квадратного корня для двоичных чисел.

На фиг. 1 изображена функциональная схема вычислительного устройства; на фиг. 2 - схема одноразрядного сумматора; на фиг. 3 - схема логического элемента.

Вычислительное устройство (фиг. 1) содержит матрицу из $(M \times N)$ одноразрядных сумматоров 1, N преобразователей 2, напряжения и M преобразователей 3 напряжения.

Одноразрядный сумматор матрицы (фиг. 2) состоит из десяти элементов И-НЕ 4-13.

Каждый элемент И-НЕ (фиг. 3) содержит преобразователь 14 напряжения, первый 15 и второй 16 резисторы, первую 17 и вторую 18 диодные сборки.

Преобразователи напряжения 2, 3 и 14 устройства выполнены с парафазными выводами и описываются уравнениями

$$\varphi + \bar{\varphi} = V; \quad (1)$$

$$I + \bar{I} = 0; \quad (2)$$

$$0 \leq \varphi \leq \bar{V}; \quad (3)$$

$$0 \leq \bar{\varphi} \leq V; \quad (4)$$

где $\varphi, \bar{\varphi}$ - потенциалы на его первом и втором выводах соответственно;

I, \bar{I} - токи на его первом и втором выводах соответственно;

V - напряжение, значение которого имитирует логическую "1".

Сборка 17 положительных потенциалов описывается уравнением

$$\varphi \geq \max_m \bar{\alpha}_m, \quad (5)$$

где $\bar{\alpha}_m$ - потенциалы на ее входах.

Аналогично сборка 18 отрицательных потенциалов описывается уравнением

$$\bar{\varphi} \leq \min_m \alpha_m, \quad (6)$$

где α_m - потенциалы на ее входах.

Если потенциалы α_m и $\bar{\alpha}_m$ на входах логического элемента удовлетворяют условиям

$$\alpha_m + \bar{\alpha}_m = V; \quad (7)$$

$$0 \leq \alpha_m \leq V; \quad (8)$$

$$0 \leq \bar{\alpha}_m \leq V, \quad (9)$$

то из (1) - (6) следует, что

$$\varphi = \max_m \bar{\alpha}_m, \quad (10)$$

$$\bar{\varphi} = \min_m \alpha_m; \quad (11)$$

$$\varphi = V - \min_m \alpha_m, \quad (12)$$

причем $I - \bar{I} = 0$. (13)

Если, кроме того,

$$V = 1, \quad (14)$$

$$\alpha_m = (0, 1), \quad (15)$$

то формулы (10) - (12) приобретают вид соответственно

$$\varphi = \bigvee_m \alpha_m, \quad (16)$$

$$\bar{\varphi} = \bigwedge_m \alpha_m; \quad (17)$$

$$\varphi = \bigwedge_m \alpha_m, \quad (18)$$

причем

$$\bar{\varphi} = 1 - \varphi, \quad \bar{\alpha} = 1 - \alpha$$

Из схемы устройства следует, что каждый элемент И-НЕ своими входами α_m и $\bar{\alpha}_m$ присоединен к некоторому преобразователю напряжения (отдельному 2-п, 3-ш или входящему в состав другого элемента И-НЕ). Из уравнений (1), (3) и (4) для этого преобразователя следуют уравнения (7) - (9) для элемента И-НЕ. Уравнение (14) выполняется по определению.

Вычислительное устройство работает следующим образом.

В режиме умножения на первые выводы преобразователей напряжения 2-п подаются разряды двоичного кода числа

$$A = 0, \alpha_1, \alpha_2, \dots, \alpha_n, \dots, \alpha_m, \quad (19)$$

а на первые выводы преобразователей напряжения 3-ш подаются разряды двоичного кода числа

$$B = 0, \beta_1, \beta_2, \dots, \beta_m, \dots, \beta_m, \quad (20)$$

причем

$$\alpha_n = (0, 1); \quad (21)$$

$$\beta_m = (0, 1). \quad (22)$$

Конкретный вид функций для каждого элемента И-НЕ таков, что устройство в целом вырабатывает на выходах переноса и суммы двоичные коды чисел

$$D' = 0, \delta_1, \delta_2, \dots, \delta_n, \dots, \delta_N; \quad (23)$$

$$2^N \cdot D'' = 0, \delta_{N+1}, \delta_{N+2}, \dots, \delta_{N+m}, \dots, \delta_{N+M}$$

(24) 5

соответственно, причем

$$D' + D'' = A \cdot B.$$

На фиг. 2 приняты следующие обозначения: σ - выход суммы; q - выход переноса; p - вход переноса; α, β, γ - первый, второй и третий информационные входы.

Одноразрядный сумматор в целом реализует следующие функции:

$$\left. \begin{aligned} \sigma &= \overline{\overline{\overline{\gamma}} \overline{p}} \wedge \overline{\overline{\overline{\gamma}} \overline{p}} \wedge \overline{\overline{\overline{\gamma}} \overline{p}} \wedge \overline{\overline{\overline{\gamma}} \overline{p}}; \\ q &= \overline{\overline{\overline{\gamma}} \overline{p}} \wedge \overline{\overline{\overline{\gamma}} \overline{p}}. \end{aligned} \right\} \quad (25)$$

В данном случае эти формулы реализуются следующим образом (фиг. 2):

$$\left. \begin{aligned} \lambda_4 &= \alpha \beta \\ \lambda_5 &= \overline{\overline{\gamma}}; \\ \lambda_6 &= \overline{\overline{\gamma}}; \\ \lambda_{11} &= \overline{\overline{\gamma}} p; \end{aligned} \right\} \quad (26)$$

$$\left. \begin{aligned} q &= \lambda_{13} = \overline{\overline{\lambda_{11}}} \lambda_6; \\ \lambda_7 &= \overline{\overline{\gamma}} p; \\ \lambda_8 &= \overline{\overline{\gamma}} \overline{p}; \\ \lambda_9 &= \overline{\overline{\gamma}} \overline{p}; \\ \lambda_{10} &= \overline{\overline{\gamma}} p; \\ \sigma &= \lambda_{12} = \overline{\overline{\lambda_7}} \lambda_8 \lambda_9 \lambda_{10}. \end{aligned} \right\} \quad (26)$$

Итак, в режиме умножения устройство по известным кодам A и B вычисляет код числа

$$D = AB, \quad (27)$$

где

$$D = D' + D''. \quad (28)$$

В режиме деления на первые выводы преобразователей напряжения 2 -п подается код (19) числа A , а на первые выводы преобразователей напряжения (входящих в состав элементов И-НЕ) подается код (23) числа D' .

В этом режиме, по-прежнему, в каждом элементе И-НЕ выполняются условия (7) - (9), (14), а также и условие (15), т.е. при данных A и D' устанавливаются такие коды чисел B и D'' , которые удовлетворяют уравнению (27).

Таким образом, в этом режиме устройство вычисляет коды B и D'' , причем

$$B = \frac{D'}{A} + \frac{D''}{A},$$

где $D'' < 2^{-N}$.

Аналогично при данных B и D' устройство вычисляет

$$A = \frac{D'}{B} + \frac{D''}{B},$$

где $D'' < 2^{-N}$.

Величина $\frac{D''}{A}$ (или $\frac{D''}{B}$) является

абсолютной погрешностью результата.

В режиме извлечения квадратного корня устройство функционирует аналогично делению. На вторую группу выходов также подается код (23) числа D' , но в отличие от деления первая и вторая группы выходов объединяются (это возможно при $N=M$). При этом устройство реализует формулу

$$D' + D'' = A^2,$$

т.е. вычисляет код числа

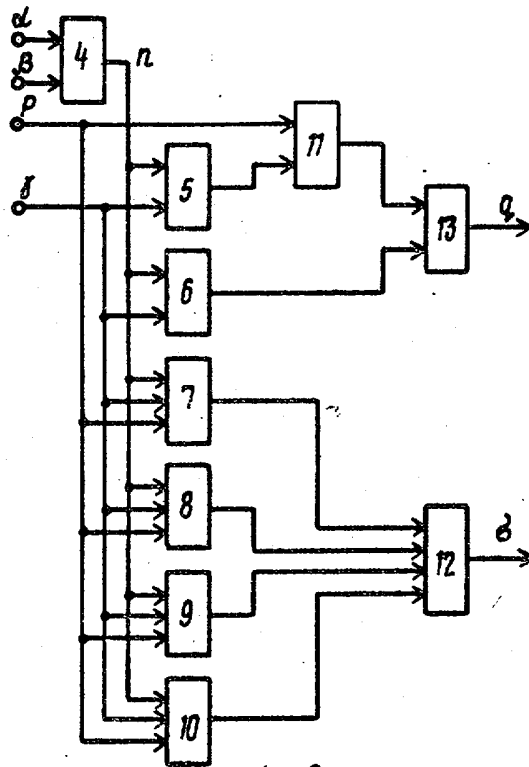
$$A = \sqrt{D' + D''}.$$

Ф о р м у л а и з о б р е т е н и я

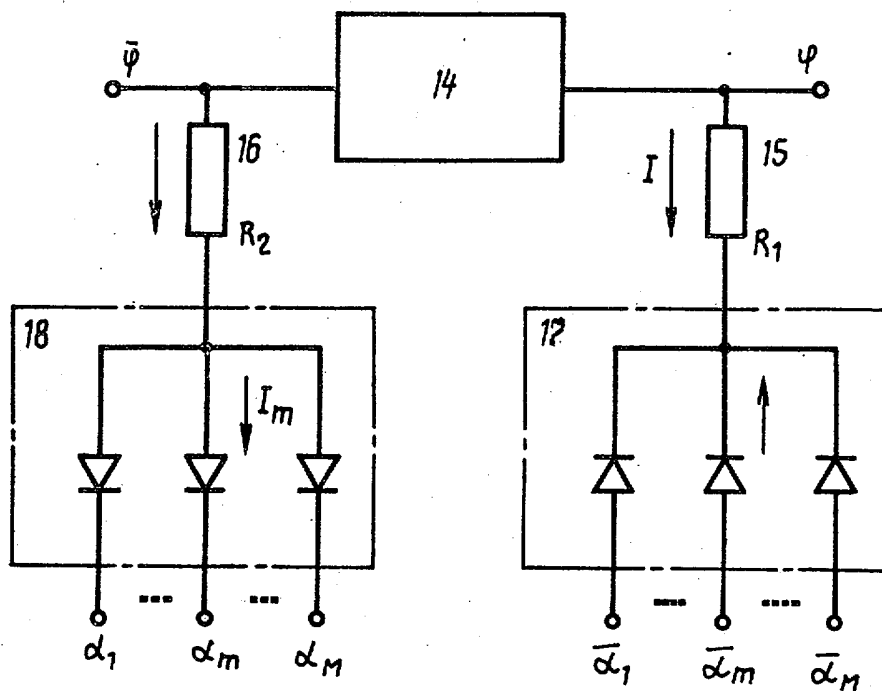
Вычислительное устройство, содержащее матрицу из $(M \times N)$ одноразрядных сумматоров (где M, N - разрядность первого и второго операндов соответственно), причем, первые информационные входы одноразрядных сумматоров каждого i -го столбца матрицы ($i=1, \dots, N$) объединены и являются i -м выходом первой группы матрицы, вторые информационные входы одноразрядных сумматоров каждой j -й строки матрицы ($j=1, \dots, M$) объединены и являются j -м выходом второй группы матрицы, выход суммы (j, N) -го одноразрядного сумматора матрицы соединен с j -м выходом третьей группы матрицы и является первой группой выходов устройства, выход переноса $(1, 1)$ -го одноразрядного сумматора матрицы соединен с первым выходом четвертой группы матрицы и является первым выходом второй группы устройства, выход суммы $(1, i)$ -го одноразрядного сумматора матрицы соединен $(i+1)$ -м выходом четвертой группы матрицы и является $(i+1)$ -м выходом

второй группы устройства, вход переноса в данный разряд (j, N) -го одноразрядного сумматора матрицы и третий информационный вход (M, i) -го одноразрядного сумматора матрицы соединены с входом нулевого потенциала устройства, вход переноса в данный разряд (j, k) -го одноразрядного сумматора матрицы $(k=1, \dots, N-1)$ соединен соответственно с выходом переноса $(j, i+1)$ -го одноразрядного сумматора матрицы, третий информационный вход $(1, k+1)$ -го одноразрядного сумматора матрицы $(l=1, \dots, M-1)$ соединен соответственно с выходом суммы $(1+1, k)$ -го одноразрядного сумматора матрицы, третий информационный вход $(1, 1)$ -го одноразрядного сумматора матрицы соединен соответственно с выходом переноса $(1+1, 1)$ -го одноразрядного сумматора матрицы, о т л и ч а ю щ е е с я тем, что, с целью расширения функциональных возможностей за счет выполнения операций деления и извлечения квадратного корня для двоичных чисел, в него введены $(N+M)$ преобразователей напряжения с парафазными выводами, причем первая и вторая группы выходов матрицы одноразрядных сумматоров соединены с соответствующими выводами $(N+M)$ преобразователей напряжения, при этом каждый одноразрядный сумматор матрицы содержит десять элементов И-НЕ с парафазными входами и выходом, причем первый и второй входы первого элемента И-НЕ соединены с первым и вторым информационными входами одноразрядного сум-

матора, а выход - с первыми входами с второго по седьмой элементов И-НЕ, вторые входы которых соединены с третьим информационным входом одноразрядного сумматора, вход переноса которого соединен с третьими входами с четвертого по седьмой элементов И-НЕ и первым входом восьмого элемента И-НЕ, второй вход которого соединен с выходом второго элемента И-НЕ, а выход - с первым входом девятого элемента И-НЕ, второй вход которого соединен с выходом третьего элемента И-НЕ, выходы с четвертого по седьмой элементов И-НЕ соединены с первым, вторым, третьим и четвертым входами десятого элемента И-НЕ, выход которого соединен с выходом суммы одноразрядного сумматора, выход переноса которого соединен с выходом девятого элемента И-НЕ, при этом, каждый элемент И-НЕ состоит из двух резисторов, двух диодных сборок и преобразователя напряжения, первый вывод которого через первый резистор соединен с выходом диодной сборки положительных потенциалов, второй вывод через второй резистор соединен с выходом диодной сборки отрицательных потенциалов, причем количество диодов в каждой из этихборок равно количеству парафазных входов элемента И-НЕ, одноименные входы диодныхборок образуют одноименный парафазный вход элемента И-НЕ, а выводы преобразователя напряжения образуют парафазный выход элемента И-НЕ.



Фиг. 2



Фиг. 3

Редактор Л. Гратилло Составитель Е. Мурзина Техред М. Хрданич Корректор Л. Патай

Заказ 838 Тираж 558 Подписное

ВНИИПИ Государственного комитета по изобретениям и открытиям при ГКНТ СССР
113035, Москва, Ж-35, Раушская наб., д. 4/5

Производственно-издательский комбинат "Патент", г. Ужгород, ул. Гагарина, 101