



СОЮЗ СОВЕТСКИХ
СОЦИАЛИСТИЧЕСКИХ
РЕСПУБЛИК

(19) **SU** (11) **1291965**

A 1

(51)4 G 06 F 7/49

ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР
ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ

ОПИСАНИЕ ИЗОБРЕТЕНИЯ

К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

(21) 3912188/24-24

(22) 17.06.85

(46) 23.02.87. Бюл. № 7

(71) Всесоюзный государственный
проектно-изыскательский и научно-
исследовательский институт энергетиче-
ских систем и электрических сетей
"Энергосетьпроект"

(72) С.И. Хмельник, М.Б. Салапин,
Ю.П. Лясковский, Ю.Б. Доброродный
и А.А. Кириллов

(53) 681.325(088.8)

(56) Авторское свидетельство СССР
№ 377769, кл. G 06 F 7/38, 1970.

Дроздов Е.А. и др. Электронные
вычислительные машины единой системы.
М.: Машиностроение, 1981, с. 160-170,
рис. 4.45а.

(54) АРИФМЕТИЧЕСКОЕ УСТРОЙСТВО

(57) Изобретение относится к области
вычислительной техники и может быть
использовано для выполнения арифмети-
ческих и логических операций над
комплексными числами. Целью изобре-
тения является расширение функциональ-
ных возможностей за счет обработки
комплексных чисел. Поставленная
цель достигается за счет новой органи-
зации связей в устройстве, содержа-
щем одноразрядные арифметико-логиче-
ские блоки в виде постоянных запоми-
нающих устройств. 1 ил.

(19) **SU** (11) **1291965** **A 1**

Изобретение относится к вычислительной технике и может быть использовано при решении задач обработки графической информации, связи, гидродинамики, электротехнических задач.

Целью изобретения является расширение функциональных возможностей за счет обработки комплексных чисел.

На чертеже представлена схема арифметического устройства.

Арифметическое устройство содержит информационные входы 1 и 2 устройства, информационный выход 3 устройства, входы 4 и 5 кода операции устройства, одноразрядные арифметико-логические блоки 6-0 - 6-(2n-1), входы 7 и 8 переноса устройства, выходы 9 и 10 переноса устройства.

Одноразрядные арифметико-логические блоки 6 реализованы на ПЗУ, кодировка которых совпадает и приведена в описании работы арифметического устройства.

Арифметическое устройство работает следующим образом.

Перед началом выполнения формируются следующие сигналы: двухразрядный код начального переноса P_0' на входе 7, двухразрядный код начального переноса P_0'' на входе 8, код K_4 операции с четными разрядами на входе 4, код K_4 операции с нечетными разрядами на входе 5.

Далее будем коды K_4 и K_4 называть кодами действия и обозначать символом K_d .

Кроме того, на входах каждого блока 6-К присутствуют потенциалы, изображающие К-й двоичный разряд исходных кодов. Будем обозначать через α_k и β_k разряды первого и второго исходных кодов соответственно, поступающие с входов 1 и 2 устройства.

Коды P_0' , P_0'' , K_4 и β_0 , поступившие на входы блока 6-0, являются адресом считывания, по которому на выходы этого блока выдается код, записанный по данному адресу. Двухразрядный код на выход с переноса данного блока обозначим через P_0 , а одноразрядный код на выходах результата - через G_0 .

В общем случае на входы блока 6-К поступают коды α_k , β_k , P_{k-1} , P_{k-2} , K_4 (если К - четное) или K_4 (если К - нечетное), а на его выходах образуются коды G_k и P_k .

На выходах 9 и 10 устройства формируются признаки результата. На выходе 3 устройства формируется результат выполнения операции.

Алгебраическое сложение двоичных кодов комплексных чисел по основанию $j\sqrt{2}$ эквивалентно алгебраическому сложению двух пар кодов, полученных из четных и нечетных разрядов исходных кодов и рассматриваемых как двоичные коды действительных чисел по основанию (-2).

Поэтому если $P_k = P_k'$, то цепь распространения переносов связывает соседние разряды, и выполняется арифметическая операция с кодами по основанию (-2). Если же $P_k = P_k''$, то организуются две цепи распространения переносов (через четные и нечетные разряды) и выполняется арифметическая операция с кодами по основанию ($j\sqrt{2}$).

Для каждой операции даются следующие сведения: код действия K_d и коды переносов P_0' и P_0'' , которые записываются сразу же за названием операции, при этом несущественные разряды отмечаются знаком *; P_k (P_k' или P_k''); таблица действия; некоторые пояснения.

При этом приняты следующие обозначения: А - первый операнд; В - второй операнд; С - результат $P' = P_{2n-1}$, $P'' = P_{2n-2}$.

35 1. Суммирование кодов по основаниям (-2) и ($j\sqrt{2}$): (А+В)
0111100**
10000**00

$\alpha + \beta$	Р	Г	П
0	00	0	00
1	00	1	00
2	00	0	11
0	01	1	000
1	01	0	11
2	01	1	11
0	11	1	01
1	11	0	00
2	11	1	00

Первый код K_2 относится к суммированию по основанию (-2) , когда $P_k = P'_k$, а второй - по основанию $(j\sqrt{2})$, когда $P_k = P''_k$. Переносы P'_0 и P''_0 в этих операциях могут отличаться от нуля и быть равны переносам Π' и Π'' в предыдущей операции сложения. При этом можно организовать программно сложение кодов удвоенной, утроенной и т.п. разрядности.

2. Вычитание кодов по основаниям (-2) и $(j\sqrt{2})$: $(A-B)$
 10001 00 **
 10010 ** 00

$\alpha - \beta$	P	σ	Π
0	00	0	00
1	00	1	00
-1	00	1	01
0	01	1	00
1	01	0	11
-1	01	0	00
0	11	1	01
1	11	0	00
-1	11	0	01

Происходит аналогично операции 1.
 3. Суммирование кодов по основаниям (-2) и $(j\sqrt{2})$ с инверсией: $(-A-B)$
 10011 00 **
 10100 ** 00

$-d - \beta$	P	σ	Π
0	00	0	00
-1	00	1	01
-2	00	0	01
0	01	1	00
-1	01	0	00
-2	01	1	01

Происходит аналогично операции 1.
 4. Вычитание удвоенного кода по основаниям (-2) и $(j\sqrt{2})$: $(A-2B)$
 10101 00 **
 10110 ** 00

$\alpha - 2\beta$	P	σ	Π
0	00	0	00
1	00	1	00
-1	00	1	01
-2	00	0	01
0	01	1	00
1	01	0	11
-1	01	0	00
-2	01	1	01
0	10	0	11
1	100	1	11
-1	10	1	00
-2	10	0	00
0	11	1	01
1	11	0	00
-1	11	0	01
-2	11	1	10

Происходит аналогично операции 1.
 5. Инвертирование, т.е. умножение на (-1) , кода по основаниям (-2) и $(j\sqrt{2})$.
 01100 0 ***
 11010 ** 0*

β	P	σ	Π
0	0	0	0
1	0	1	1
0	1	1	0
1	1	0	0

Происходит аналогично операции 1.

6. Счетчик кода по основанию (-2).

10111 01**

10111 11**

Увеличивается (или уменьшается) на 1 число В при произвольном числе А. Исходный перенос кодирует 1 или (-1) по основанию (-2), что и определяет тип счетчика.

β	Р	σ	П
0	00	0	00
1	00	1	00
0	01	1	00
1	01	0	11
0	11	1	01
1	11	0	00

7. Определение знака кода по основанию (-2)

00011 00**

Формируется перенос П', старший разряд α которого кодирует знак числа В, причем если

$$a = \begin{cases} 0, & \text{то } B \geq 0 \\ 1, & \text{то } B \leq 0 \end{cases}$$

β	Р	П
0	00	01
0	01	00
0	10	11
0	11	10
1	00	01
1	01	10
1	10	01
1	11	10

8. Алгебраическое суммирование кодов по основанию 2

01101 00**

01101 01**

5 Слагаемые А и В рассматриваются как числа со знаком, кодированные в прямом или дополнительном коде, результат выдается также в зависимости от знака в прямом или дополнительном коде.

10 Младший разряд переноса P_0 определяет тип алгебраической операции:

0 - (A+B),
1 - (A-B).

15

O_n транслируется без изменений.

α	β	Р	σ	П
0	0	00	0	00
0	1	00	1	00
1	0	00	1	00
1	1	00	0	10
0	0	10	1	00
0	1	10	0	10
1	0	10	0	10
1	1	10	1	10

40	0	0	01	0	01
	0	1	01	1	11
	1	0	01	1	01
45	1	1	01	0	01
	0	0	11	1	11
	0	1	11	0	11
50	1	0	11	0	01
	1	1	11	1	11

55 9. Счетчик кода по основанию 2
01110 10**
01110 11**

Увеличивается (или уменьшается) на 1 число В, представленное в пря-

мом или дополнительном кодах. Число А может быть произвольным. Младший разряд переноса определяет тип счета: 0 - инкрементный счетчик, 1 - декрементный счетчик. Этот разряд переноса 5 транслируется без изменения. Признаки свойств результата не формируются.

β	Р	σ	П	
0	00	0	00	
1	00	1	00	10
0	01	0	01	
1	01	1	01	
0	10	1	00	20
1	10	0	10	
0	11	1	11	25
1	11	0	01	

10. Логические операции 30
 00110 00** - операция И;
 00110 01** - операция ИЛИ;
 00110 10** - сложение по модулю 2;
 00110 11** - отрицание суммы по модулю 2,
 любой перенос транслируется без изменений. 35
 11. Нет операции
 00000*** 40
 Все выходные разряды сбрасываются, и любой перенос транслируется без изменений.
 12. Утверждение кода
 11001*** 45
 Утверждается код В. Перенос транслируется без изменений.
 13. Сравнение длин кодов
 00100 00** 50
 Формируется перенос П', позволяющий различать три ситуации: 00 - равные длины, 10 - код А длиннее, 11 - код В длиннее.
 Все разряды результата сбрасываются. 55
 Входной перенос может быть произвольным, выходной перенос вырабатывается лишь в зависимости от значений текущих разрядов А и В.

α	β	Р	П
0	0	0	Р
0	1	1	11
1	0	0	10
1	1	1	00

14. Сравнение кодов общее
 00001 00**

15 Если код рассматривается по основанию 2 без знака, то формируемый перенос фиксирует три ситуации: 00 - равно, 10 - $A > B$, 11 - $A < B$, при этом анализ старшего разряда переноса позволяет различать ситуации более глубокого сравнения: 0 - равно, 1 - не равно.

20 Последнее справедливо и в случае кодов по основанию (-2). Все разряды результата сбрасываются. 25

α	β	Р	П
0	0	00	00
0	1	00	11
1	0	00	10
1	1	00	00
0	0	10	10
0	1	10	11
1	0	10	10
1	1	10	10
0	1	11	11
1	0	11	10
1	1	11	11

15. Сравнение кодов по основанию (-2)

00010 00**
 00010 10**

Формируется перенос, старший разряд а которого фиксирует следующие ситуации:

если $\Pi' = 00$, то $A > B$ при $a=0$;
 $A < B$ при $a=1$,
 если $\Pi'' = 10$, то $A > B$ при $a=0$;
 $A \leq B$ при $a=1$.

Все разряды результата сбрасываются.

α	β	P	Π
0	0	00	01
0	1	00	11
1	0	00	01
1	1	00	01
0	0	01	00
0	1	01	00
1	0	01	10
1	1	01	00

0	0	10	11
0	1	10	11
1	0	10	01
1	1	10	11

0	0	11	10
0	1	11	00
1	0	11	10
1	1	11	10

16. Сдвиг кода по основанию 2
 010100 0***

Сдвигается код А в направлении распространения переноса на одну или две позиции. Старший разряд формируемого переноса устанавливается, если результат сдвига отличен от нуля, а в противном случае - сбрасывается.

Младший разряд выходного переноса Π' содержит значение текущего разряда сдвигаемого кода.

	α	P	σ	Π
5	0	00	0	00
	1	00	0	11
10	0	01	1	10
	1	01	1	11
15	0	10	0	10
	1	10	0	11
20	0	11	1	10
	1	11	1	11

17. Преобразование кода по основанию (-2) в код по основанию 2

01001 00**
 01001 01**

30 Осуществляется преобразование кода В. Если код В является положительным числом, то результат формируется в прямом коде. В противном случае результат формируется в дополнительном коде. Старший разряд формируемого переноса определяет знак числа. Если 35 младший разряд исходного переноса был установлен, то число В преобразуется с умножением на (-1).

	β	P	σ	Π
40	0	00	0	01
	1	00	1	01
45	0	01	0	00
	1	01	1	10
50	0	10	1	11
	1	10	0	01
55	0	11	1	10
	1	11	0	10

18. Преобразование кода по основанию 2 в обратный и дополнительный коды

00111 10**
00111 01**
00111 10**
00111 11**

Старший разряд исходного переноса P'_0 обуславливает тип преобразования: 0 - получение обратного кода, 1 - получение дополнительного кода. Младший разряд переноса P'_0 указывает код, на котором осуществляется преобразование: 0 - преобразуется код А, 1 - преобразуется код В. Этот разряд переноса транслируется без изменений.

α или β	Р	σ	П
0	0	1	0
1	0	0	0
0	1	0	1
1	1	1	0

19. Преобразование кода по основанию 2 в код по основанию (-2)

01000 00**
01000 01**

Осуществляется преобразование кода В, который рассматривается как модуль преобразуемого числа, а младший разряд исходного переноса кодирует знак преобразуемого числа.

β	Р	σ	П
0	00	0	01
1	00	1	01
0	01	0	00
1	01	1	10
0	10	1	01
1	10	0	11
0	11	1	10
1	11	1	10

20. Выделение действительной части комплексного числа: (ReB)

11001****
00000****

5

В этой и следующих операциях коды действия $K_4 \neq K_n$. При этом в первой строке записывается K_4 , а во второй - $-K_n$. Здесь для четных разрядов выполняется операция 12 - "Утверждение", а для нечетных - операция 11 - "Нет операции". В результате выделяются четные разряды исходного кода В. Если это код по основанию $(j\sqrt{2})$, то его четные разряды изображают код действительной части ReB исходного числа В.

10

15

20

21. Выделение мнимой части комплексного числа: (ImB).

00000****
11001****

25

В этой операции $K_4=00000$, $K_n=11001$ и из кода числа В по основанию $(j\sqrt{2})$ выделяется его мнимая часть ImB.

22. Определение сопряженного числа

11001****
11010*0**

30

В этой операции $K_4=11001$, а $K_n=10010$, т.е. для четных разрядов выполняется операция 12 - "Утверждение", а для нечетных - операция 5 "Инвертирование". В целом же вычисляется сопряженное число относительно того, которое определено кодом В по основанию $(j\sqrt{2})$. Для второй строки этой операции (код K_n) справедливо применение к операции 1.

35

40

23. Определение отрицательного сопряженного числа

11010**0*
11001***

45

В этой операции $K_4=11010$ (инвертирование), а $K_n=11001$ (утверждение). В остальном данная операция аналогична предыдущей.

24. Определение сопряженной суммы

10000**00
101000**00

50

В этой операции $K_4=10000$, а $K_n=10100$, т.е. $ReC=ReA+ReB$ и $ImC=-ImA-ImB$ (операции 1 и 3).

55

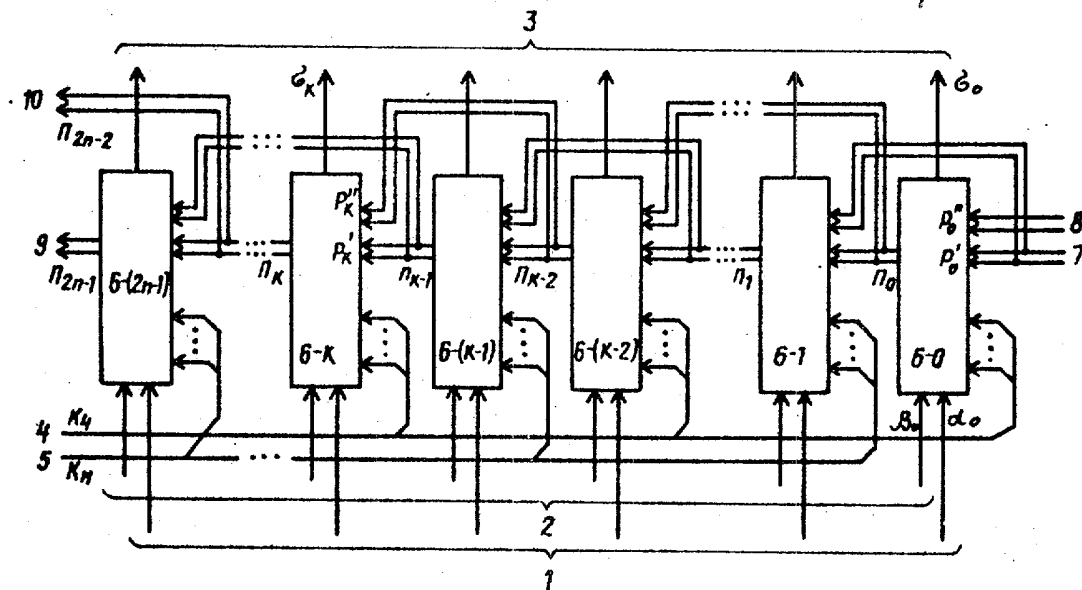
Перечень операций может быть увеличен. При выполнении операций с кодами по основанию (2) и (-2), а также логических операций сигнал переноса распространяется через все разряды последовательно. При выполнении операций с кодами по основанию $(j\sqrt{2})$

возникают две независимых цели распространения сигнала переноса через четные и нечетные разряды.

Ф о р м у л а и з о б р е т е н и я

Арифметическое устройство, содержащее одноразрядные арифметико-логические блоки, причем разряды первого и второго информационных входов устройства соединены соответственно с первым и вторым информационными входами соответствующего одноразрядного арифметико-логического блока, выходы результата которых являются соответствующими разрядами информационного выхода устройства, первый выход переноса и первый вход переноса которого соединены соответственно с выходом переноса старшего и с первым входом переноса младшего одноразрядных арифметико-логических блоков, выход переноса предыдущего одноразрядного арифметико-логического блока соединен с первым входом переноса последующего одноразрядного арифметико-логического блока, входы кода

операции четных одноразрядных арифметико-логических блоков соединены с первым входом кода операции устройства, отличающееся тем, что, с целью расширения функциональных возможностей за счет обработки комплексных чисел, входы кода операции линейных одноразрядных арифметико-логических блоков соединены со вторым входом кода операции устройства, второй выход переноса и второй вход переноса которого соединены соответственно с первым входом переноса старшего и со вторым входом переноса младшего одноразрядных арифметико-логических блоков, выход переноса предыдущего четного одноразрядного арифметико-логического блока соединен со вторым входом переноса последующего четного одноразрядного арифметико-логического блока, выход переноса предыдущего нечетного одноразрядного арифметико-логического блока соединен со вторым входом переноса последующего нечетного одноразрядного арифметико-логического блока.



Составитель А. Ключев

Редактор В. Данко Техред В. Кадар

Корректор М. Демчик

Заказ 265/47

Тираж 673

Подписное

ВНИИПИ Государственного комитета СССР

по делам изобретений и открытий

113035, Москва, Ж-35, Раушская наб., д. 4/5

Производственно-полиграфическое предприятие, г. Ужгород, ул. Проектная, 4