



(5D) 4 G 06 F 7/49

ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР
ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ

ОПИСАНИЕ ИЗОБРЕТЕНИЯ К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

(21) 3982932/24-24

(22) 02.09.85

(46) 23.01.87. Бюл. № 3

(71) Всесоюзный государственный проектно-исследовательский и научно-исследовательский институт энергетических систем и электрических сетей «Энергосетьпроект»

(72) С. И. Хмельник, М. Б. Салапин, Ю. П. Лясковский, Ю. Б. Доброродный и А. П. Лясковский

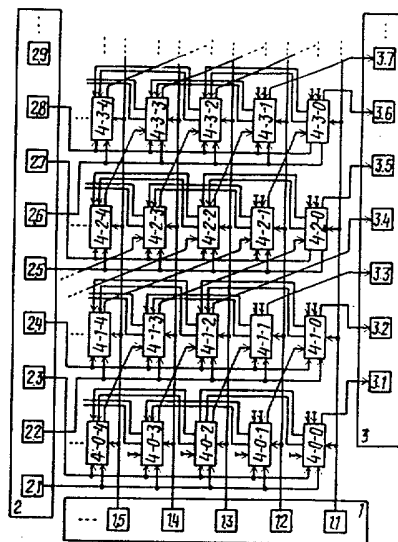
(53) 681.325(088.8)

(56) Авторское свидетельство СССР № 377769, кл. G 06 F 7/38, 1970.

Карцев М. А. Арифметика цифровых машин.—М.: Наука, 1969, с. 437—439, рис. 4—9.

(54) УСТРОЙСТВО ДЛЯ УМНОЖЕНИЯ

(57) Изобретение относится к области вычислительной техники и может быть использовано в составе цифровых вычислительных машин, предназначенных для решения задач с комплексными числами в области электроэнергетики, связи, гидродинамики. Целью изобретения является расширение класса решаемых задач за счет обеспечения возможности умножения комплексных чисел. Устройство представляет собой матричное множительное устройство, в котором каждый столбец табличных формирователей частичных произведений 4 выполняет умножение содержимого регистра 1 множителя на два разряда регистра 2 множителя и сложение этого произведения с результатом, образованным в предыдущем столбце. Переносы в столбце распространяются по правилам алгебраического сложения комплексных чисел. 2 ил.



Фиг. 1

(19) **SU** (11) **1285463** **A1**

Устройство относится к вычислительной технике и может быть использовано в составе цифровых вычислительных машин, предназначенных для решения задач с комплексными числами в области электроэнергетики, связи, гидродинамики.

Цель изобретения — расширение класса решаемых задач за счет обеспечения возможности умножения комплексных чисел.

На фиг. 1 изображена функциональная схема устройства; на фиг. 2 — нумерация и обозначение входов и выходов табличного формирователя частичных произведений, выполненного в виде постоянного запоминающего устройства (ПЗУ).

Устройство (фиг. 1) содержит $2n$ -разрядный регистр 1 множимого, $2n$ -разрядный регистр 2 множителя, $(4n+4)$ -разрядный регистр 3 результата и $(2n+4n)$ табличных формирователей частичных произведений, объединенных в матрицу. В нем каждый табличный формирователь 4 матрицы выполнен в виде ПЗУ 4 с шестью адресными входами и тремя выходами. В каждом i -м столбце матрицы находится n ПЗУ 4, а в каждой j -й строке $(2n+4)$ ПЗУ 4.

Входы и выходы ПЗУ имеют следующие обозначения, нумерацию и назначение (фиг. 2): вход α первого сомножителя, вход γ слагаемого, входы β' и β'' — первый и второй разряды второго сомножителя, первый и второй входы P' и P'' переноса, выход σ результата, первый и второй выходы P' и P'' переноса.

На адресные входы ПЗУ поступает код, состоящий из разрядов

$$K_{вх} = (\alpha, \gamma, \beta', \beta'', P', P''). \quad (1)$$

Этот код является адресом считывания. При его поступлении на входы ПЗУ на выходах этого ПЗУ появляется трехразрядный код, записанный в ПЗУ по данному адресу и содержащий разряды

$$K_{вых} = (\sigma, P', P'') \quad (2)$$

Таблица истинности, связывающая коды $K_{вх}$ и $K_{вых}$ в ПЗУ, реализует операцию умножения слагаемого α на число β , представленное двумя разрядами β'' и β' с учетом входного переноса P , представленного двумя разрядами P'' и P' и слагаемого γ . При этом вырабатывается результат σ и выходной перенос Π , представленный двумя разрядами P'' и P' .

Формула этой операции имеет вид

$$\delta - 2\Pi = \gamma + P + \alpha\beta \quad (3)$$

Вычисления по этой формуле выполняются в системе счисления по основанию (-2) , т.е. числа Π , P , β представляются двухразрядными кодами по основанию (-2) . В частности

$$\begin{aligned} K_{-2}(0) &= 00, \\ K_{-2}(1) &= 01, \\ K_{-2}(-1) &= 11, \\ K_{-2}(-2) &= 10 \end{aligned} \quad (4)$$

Эта таблица замкнута в том смысле, что при любых двухразрядных кодах входного переноса P по формуле (3) получается входной перенос Π , имеющий не более, чем двухразрядный код. Таким образом, ПЗУ, реализующие данную таблицу истинности, могут быть включены в последовательную цепочку, где выход переноса Π предыдущего ПЗУ подключен к входу переноса P последующего ПЗУ.

Рассмотрим алгоритм умножения, реализуемый в устройстве.

Пусть комплексное число Z_1 — множимое — представлено двоичным кодом

$$K(Z_1) = \alpha_k, \dots, \alpha_k, \dots, \alpha_0 \quad (5)$$

по основанию $\rho = j\sqrt{2}$, где $j^2 = -1$, комплексное число Z_2 — множитель — представлено двоичным кодом по основанию ρ

$$K(Z_2) = \beta_m, \dots, \beta_m, \dots, \beta_0. \quad (6)$$

Произведение

$$Z = Z_1 Z_2 \quad (7)$$

будем искать в виде двоичного кода по основанию ρ

$$K(Z) = \sigma_q, \dots, \sigma_q, \dots, \sigma_0. \quad (8)$$

Триады множителя чередуются в следующем порядке:

$$\begin{array}{ccc} \beta_2 & \beta_1 & \beta_0 \\ \beta_3 & \beta_2 & \beta_1 \\ \beta_6 & \beta_5 & \beta_4 \\ \beta_7 & \beta_6 & \beta_5 \end{array} \quad (9)$$

$$\begin{array}{ccc} \beta_m & \beta_{m-1} & \beta_{m-2} \\ \beta_{m+1} & \beta_m & \beta_{m-1} \\ \beta_{m+4} & \beta_{m+3} & \beta_{m+2} \\ \beta_{m+5} & \beta_{m+4} & \beta_{m+3} \end{array}$$

Для каждой триады выполняется следующая последовательность действий: определяется код $\rho^{m-2} K(Z_1)$; определяется величина $S_{m-2} = \{0, 1, -1, 2\}$, зависящая от разрядов триады следующим образом:

$$S_{m-2} = \begin{cases} 0 \\ 1 \\ , \\ -1 \\ 2 \end{cases}, \text{ если } (\beta_m \beta_{m-1} \beta_{m-2}) = \begin{cases} 0 & \beta_{m-1} & 0, \\ 0 & \beta_{m-1} & 2, \\ 1 & \beta_{m-1} & 0, \\ 1 & \beta_{m-1} & 1 \end{cases}, \quad (10)$$

и определяется код $\rho^{m-2} S_{m-2} K(Z_1)$. (11)

Код произведения определяется по формуле

$$K(Z) = \sum_{i=0}^{n-1} \rho^{m-2} S_{m-2} K(Z_i) \quad (12)$$

где $m = (2i+2)$ при i четном, $(2i+1)$ при i нечетном. (13)

Эта формула может быть записана в рекуррентном виде

$$K(Z_i) = K(Z_{i-1}) + \rho^{m-2} S_{m-2} K(Z_i), \quad (14)$$

где Z_i — частичное произведение, причем $K(Z_{-1}) = 0$. (15)

В этом алгоритме не возникает перенос из предыдущей триады множителя в последующую, имеющий место при умножении на два разряда двоичных кодов по основанию 2.

Устройство функционирует следующим образом.

Потенциалы с выходов регистров 1 и 2 сомножителей поступают на входы α , β_1 , β_2 всех ПЗУ 4—j—i. Все входы ПЗУ 4—0—0 и 4—0—1 оказываются определенными (так как остальные входы этих ПЗУ присоединены к потенциалу «0» и на их выходах образуются потенциалы, значения которых определяются формулой (3) при $\gamma=0$. Переносы П с выходов этих ПЗУ передаются на входы следующей пары ПЗУ 4—0—2 и 4—0—3 и т. д. Коммутация переносов такова, что реализуется алгоритм операции (3) при $\gamma=0$ с двоичными кодами комплексных чисел по основанию $j\sqrt{2}$.

Таким образом, нулевая строка матрицы ПЗУ представляет собой сумматор, выполняющий операцию:

$$K_0 = S_0 K(Z_1), \quad (16)$$

где S_0 определяется по (10) в зависимости от значений разрядов β_0 и β_2 , т.е. состояния триггеров Z_1 и Z_3 регистра 2.

Код K_0 изображается потенциалами на первых выходах ПЗУ 4—0—K и поступает на входы ПЗУ первого столбца матрицы, который организован аналогично предыдущей. Этот столбец выполняет операцию

$$K_1 = K_0 + \rho S_1 K(Z_1), \quad (17)$$

где код K_1 изображается потенциалами на первых выходах ПЗУ 4—0—0, принадлежащего нулевому столбцу матрицы, и всех ПЗУ 4—1—4K, принадлежащих первому столбцу матрицы.

Аналогично второй столбец матрицы выполняет операцию

$$K_2 = K_1 + \rho^4 S_4 K(Z_1), \quad (18)$$

где код K_2 изображается потенциалами на первых выходах ПЗУ 4—0—0, принадлежащего нулевому столбцу матрицы, ПЗУ 4—1—0, 4—1—1, 4—1—2, принадлежащими первому столбцу матрицы и всех ПЗУ 4—2—K, принадлежащих второму столбцу матрицы. Третий столбец матрицы выполняет операцию

$$\supseteq K_3 = K_2 \rho^5 S_5 K(Z_1) \quad (19)$$

и т. д. В общем случае i-й столбец матрицы выполняет операцию

$$K_i = K_{i-1} + \rho^{m-2} S_{m-2} K(Z_1), \quad (20)$$

где m определяются по (13).

Сравнивая формулы (14) и (20) замечаем, что код K_i является кодом $K(Z_i)$, т.е. кодом частичного произведения Z_i .

Наконец, последний (n—1)-й столбец матрицы вычисляет код произведения:

$$K_{n-1} = K(Z),$$

который изображается потенциалами на первых выходах ПЗУ.

Эти выходы подключены к входам установки регистра 3 результата. Таким образом, разряды регистра произведения устанавливаются сигналами на первых выходах перечисленных ПЗУ 4—i—K.

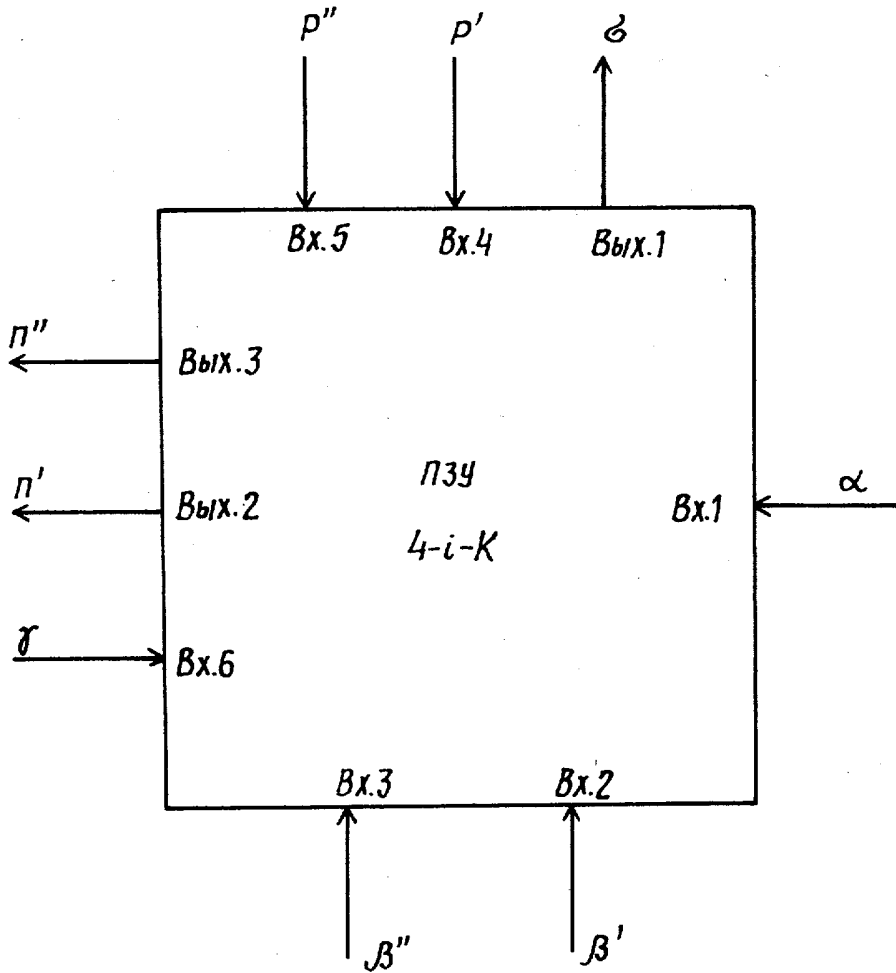
При выполнении операции (20) перенос может распространяться на четыре разряда влево, поэтому в каждом столбце матрицы должно быть $(2n+4)$ ПЗУ 4. Количество столбцов в матрице равно n (а не $2n$) за счет того, что в каждом столбце матрицы реализуется умножение на два разряда множителя.

Формула изобретения

Устройство для умножения, содержащее регистры множимого, множителя и результата, отличающееся тем, что, с целью расширения класса решаемых задач за счет обеспечения возможности умножения комплексных чисел, в него введена матрица $p(2n+4)$ табличных формирователей частичных произведений, (где $2n$ — разрядности множимого и множителя), причем вход первого сомножителя j-го табличного формирователя частичных произведений (где $j=1,2,\dots,2n$) i-го столбца (где $i=1,2,\dots,n$) соединен с выходом j-го разряда регистра множимого, выходы K-го и $(K+2)$ -го разрядов регистра множителя (где $K=2i$ при i четном, $2i-1$ при i нечетном) соединены соответственно с входами первого и второго разрядов второго сомножителя i-го табличного формирователя частичных произведений j-й строки матрицы, первый и второй выходы переноса i-го табличного формирователя частичных произведений K-й (где $K=1, 2,\dots,2n+4$) строки матрицы соединены соответственно с первым и вторым входами переноса $(K+2)$ -го табличного формирователя частичных произведений i-го столбца матрицы, вход слагаемого $(K+1)$ -го табличного формирователя частичных произведений $(i+1)$ -го столбца матрицы соединен с выходом результата l-го табличного формирователя частичных произведений (где $l=j+1$ если i нечетно, $j+3$ если i четно) i-го столбца матрицы, выход результата $(i+2)$ -го табличного формирователя частичных произведений первой строки (при i нечетном) матрицы соединен с входом $(2i-1)$ -го разряда регистра результата, выходы результата $(i+2)$ -го табличного формирователя частичных произведений (при i четном), m-й строки ($m=1,2,3$) матрицы соединен с входом $(2i+m-3)$ -го разряда регистра результата, выходы результата первого и второго табличных формирователей частичных произведений первой строки матрицы соединены соответственно с входами первого и второго разрядов регистра результата, выходы результата второ-

го и третьего табличных формирователей частичных произведений второго столбца матрицы соединены с входами третьего и четвертого разрядов регистра результата, первый и второй входы переноса i -го табличного формирователя частичных произведений первой и второй строк матрицы сое-

динены с входом логического нуля устройства, с входом слагаемого K -го табличного формирователя частичных произведений первого столбца матрицы, с входами первого сомножителя и первого и второго разрядов второго сомножителей ($2n+S$), где $S=1,2,3,4$ строки матрицы.



Фиг. 2

Редактор Е. Папп
Заказ 7498/50
ВНИИПИ Государственного комитета СССР по делам изобретений и открытий
113035, Москва, Ж-35, Раушская наб., д. 4/5
Производственно-полиграфическое предприятие, г. Ужгород, ул. Проектная, 4

Составитель Н. Маркелова
Техред И. Верес
Тираж 670

Корректор А. Обручар
Подписное