



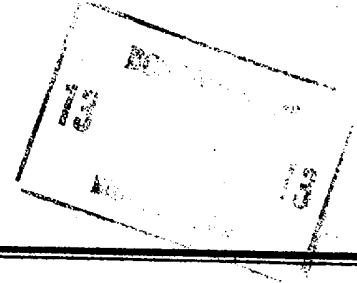
СОЮЗ СОВЕТСКИХ
СОЦИАЛИСТИЧЕСКИХ
РЕСПУБЛИК

(19) **SU** (11) **1229965** **A1**

(5D) 4 Н 03 М 7/22; 13/00

ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР
ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ

ОПИСАНИЕ ИЗОБРЕТЕНИЯ И АВТОРСКОМУ СВИДЕТЕЛЬСТВУ



(21) 3757149/24-24

(22) 25.05.84

(46) 07.05.86. Бюл. № 17

(71) Ордена Октябрьской Революции
всесоюзный государственный проектно-
изыскательский и научно-исследова-
тельский институт энергетических
систем и электрических сетей "Энерго-
сетьпроект"

(72) С.И. Хмельник

(53) 621.382(088.8)

(56) Авторское свидетельство СССР
№ 570198, кл. Н 03 К 13/34, 12.04.76.

Кочемасов В.Н. и др. Формирование
сигналов с линейной частотной модуля-
цией. М.: Радио и связь, 1983,
с. 115, рис. 8.3.

(54) ДЕШИФРАТОР

(57) Изобретение относится к вычисли-
тельной технике и предназначено для
использования в устройствах с аппара-
тным исправлением ошибок. Примене-
ние изобретения позволяет повысить
надежность функционирования. Дешиф-
ратор содержит М интеграторов 1, М
сумматоров 2 напряжений, М резисто-
ров 3 смещения, М пар ключей 4 и 5,
резистор 6, ключ 7 и блок 8 отрица-
тельного напряжения. Введение М ре-
зисторов 3, М пар диодов 4 и 5, ре-
зистора 6, ключа 7 и блока 8 позво-
ляет формировать на выходах дешифра-
тора сигнал, соответствующий одному
из разрешенных входных векторов, бли-
жайшему к поданному входному сигна-
лу. 3 ил.

(19) **SU** (11) **1229965** **A1**

Изобретение относится к вычислительной технике и может быть использовано в цифровых устройствах с аппаратным исправлением ошибок.

Целью изобретения является повышение надежности функционирования.

На фиг. 1 представлена функциональная схема дешифратора; на фиг. 2 — функциональная схема сумматора напряжений; на фиг. 3 — пример реализации блока отрицательного сопротивления.

Дешифратор содержит M интеграторов 1, M сумматоров 2 напряжений, M резисторов 3 смещения, M пар диодов 4 и 5, резистор 6, ключ 7, блок 8 отрицательного сопротивления, где M — число выходов дешифратора. Первый вход каждого интегратора 1 соединен с выходом соответствующего сумматора 2, а второй вход через соответствующий резистор 3 смещения подключен к общей шине. Первые выводы первых диодов 4 всех пар соединены с общей шиной.

Каждый сумматор 2 напряжений имеет две группы входов. Одноименные входы первых групп всех сумматоров 2 объединены и являются соответствующими входами 9 дешифратора, число которых JM . Одноименные входы вторых групп сумматоров 2 также объединены и подключены ко вторым выводам первых и первым выводам вторых диодов 4 и 5 соответствующих пар и выходам соответствующих интеграторов 1, являющихся соответствующими выходами 10 дешифратора, число которых M . Вторые выводы вторых диодов 5 всех пар объединены и подключены к выходу ключа 7 и через резистор 6 соединены с общей шиной. Управляющий вход ключа 7 является управляющим входом 11 дешифратора, вход ключа 7 через блок 8 отрицательного сопротивления соединен с шиной источника питания.

Сумматор 2 напряжений состоит (фиг. 2) из первого и второго усилителей 12 и 13, первой и второй групп 14 и 15 входных резисторов, первого и второго общих резисторов 16 и 17 и дополнительного резистора 18. Первый усилитель 12 — неинвертирующий, второй усилитель 13 — инвертирующий. В первую и вторую группы 14 и 15 входных резисторов входит соответственно J и M входных резисторов, первые выводы которых являются входами

соответствующих групп входов сумматора 2, а вторые выводы объединены и подключены ко входам соответствующих усилителей 12 и 13 и через соответствующие общие резисторы 16 и 17 соединены с общей шиной. Выход второго усилителя 13 через дополнительный резистор 18 подключен ко входу первого усилителя 12, выход которого является выходом сумматора 2 напряжений.

Блок 8 отрицательного сопротивления может быть выполнен в виде усилителя 19 и резистора 20, соединенных в соответствии с фиг. 3. Коэффициент усиления усилителя 19 равен 2, при этом ток через резистор 20 имеет величину

$$i = \frac{e - 2e}{R} = -\frac{e}{R},$$

где e — напряжение на входе блока 8; R — сопротивление резистора 20.

В основе работы дешифратора лежат следующие математические соотношения.

На входы 9 дешифратора поступает вектор U потенциалов:

$$U_j = (0, V), \quad j = \overline{1, J}. \quad (1)$$

На выходах 10 дешифратора возникает вектор Z потенциалов:

$$Z_m = (0, V), \quad m = \overline{1, M}, \quad (2)$$

причем только один из этих потенциалов равен V , а остальные равны нулю, т.е.

$$\sum_{m=1}^M Z_m = V. \quad (3)$$

Среди входных векторов U существует множество разрешенных векторов Y , каждый из которых соответствует сигналу на одном из выходов: $Z_m = V$.

Этот факт можно записать следующим образом: $Y = NZ$, где N — матрица, содержащая J строк и M столбцов элементов:

$$h_{mj} = (0, 1), \quad m = \overline{1, M}, \quad j = \overline{1, J} \quad (4)$$

В частности, выходу $Z_m = V$ соответствует разрешенный вектор

$$Y = \begin{pmatrix} y_1 \\ \vdots \\ y_j \\ \vdots \\ y_j \\ \vdots \\ y_j \end{pmatrix} = V \begin{pmatrix} h_{m_1} \\ \vdots \\ h_{m_j} \\ \vdots \\ h_{m_j} \end{pmatrix}.$$

Матрица H полностью описывает дешифратор, так как перечисляет все разрешенные слова.

Близость между разрешенным вектором Y и входным вектором U оценивается величиной

$$P(Y) = \sum_{j=1}^J (y_j - U_j)^2 / r_j,$$

где r_j - определенные весовые коэффициенты,

т.е. из всех разрешенных векторов Y выбирается тот, который минимизирует величину $P(Y)$. В частности, если вектор U является разрешенным, то существует такой вектор Y , при котором $P(Y)=0$.

Выбирая r_j определенным образом, можно придавать различный смысл величине $P(Y)$. Так, если $r_j = \text{const}$, то ближайшим вектором Y является тот, в котором наибольшее число разрядов совпадает с разрядами вектора U . Если же $r_j = r \cdot 2^{-j}$, то ближайшим вектором Y является тот, в котором наибольшее число младших разрядов (т.е. разрядов с меньшим номером j) совпадает с младшими разрядами вектора U . Такая мера близости может быть применена для сравнения двоичных кодов чисел.

На j -й вход первой группы m -го сумматора 2 напряжений подается напряжение U_j , а на его m -й вход второй группы - напряжение Z_m . При этом на выходе этого сумматора 2 образуется напряжение

$$\varphi_m = \sum_{j=1}^J \alpha_{mj} U_j + \sum_{\mu=1}^M \gamma_{m\mu} Z_\mu, \quad (5)$$

где α_{mj} и $\gamma_{m\mu}$ - весовые коэффициенты, реализуемые на входах m -го сумматора 2 напряжений.

Напряжение φ_m на входе m -го интегратора 1 отличается от φ_m на напряжение смещения, возникающее на m -ом резисторе 3 с малым сопротивлением ρ , когда по нему протекает ток i_m m -го интегратора 1, т.е.

$$\varphi_m = \rho i_m + \varphi_m'. \quad (6)$$

Если весовые коэффициенты α_{mj} , $\gamma_{m\mu}$ на входах сумматоров 2 напряжений принять равными величинам

$$\alpha_{mj} = \rho h_{mj} / r_j,$$

$$\gamma_{m\mu} = - \sum_j \alpha_{mj} h_{\mu j},$$

где h_{mj} - определяется по формуле (4), то формулы (5) и (6) в векторной форме примут вид

$$\varphi = \rho i + \rho B - \rho A Z, \quad (7)$$

где

$$A = H^T r^{-1} H,$$

$$B = H^T r^{-1} U,$$

причем i - вектор токов i_m интеграторов 1;

Z - вектор выходных напряжений Z_m ;

r - диагональная матрица коэффициентов r_j ;

U - вектор входных напряжений;

φ - вектор напряжения φ_m на входах интеграторов 1.

После преобразований

$$P(Z) = Z^T A Z - 2B^T Z + C, \quad (8)$$

где $C = U^T r^{-1} U$.

Минимальное значение $P(Z)$ в формуле (8) достигается при $Z = Z^0$, когда

$$\frac{\partial P}{\partial Z} = 0, \text{ откуда}$$

$$Z^0 = A^{-1} B. \quad (9)$$

С учетом этого из формулы (8) следует:

$$P(Z) = (Z - Z^0)^T A (Z - Z^0) + D,$$

где $D = C - B^T A^{-1} B$.

В векторе Z^0 имеется максимальная компонента:

$$Z_m^0 = \max_{\mu} Z_\mu^0. \quad (10)$$

Тогда вектор Z^* , компоненты которого удовлетворяют условию

$$Z_\mu^* = \begin{cases} V & \text{при } \mu = m \\ 0 & \text{при } \mu \neq m, \end{cases} \quad (11)$$

минимизирует $P(Z)$ в условии (8) при соблюдении выражений (2) и (3), если

$$r_j \ll r_i \quad (j \neq i); \quad (12)$$

$$h_{\mu} = 1 \quad \text{для всех } \mu, \quad (13)$$

$$Z_{\mu}^{\circ} \geq 0 \quad \text{для всех } \mu, \quad (14)$$

$$U_1 = V. \quad (15)$$

Для выполнения условий (12) и (15) первая компонента входного вектора U всегда должна быть равна V . Для соблюдения условия (14) служат первые диоды 4 всех пар. Условие (13) выполняется благодаря выбору весовых коэффициентов в сумматорах 2, т.е. величин сопротивлений входных резисторов.

В соответствии с этим дешифратор функционирует следующим образом.

На входы 9 дешифратора подается вектор U , удовлетворяющий условиям (1) и (15). На управляющем входе 11 в первой фазе работы сигнал отсутствует, а во второй фазе поступает потенциал V , вызывающий замыкание ключа.

В первой фазе токи i интеграторов 1 определяются величиной сопротивления резистора 6, которое выбирается большим. Поэтому можно считать, что в первой фазе $i=0$. Для обеспечения этого условия необходимо также большое сопротивление нагрузки.

Вектор φ напряжений на выходах сумматоров 2

$$\varphi = \rho V - \rho AZ = -\rho \frac{\partial P}{\partial Z}.$$

В установившемся режиме первой фазы $\varphi=0$, т.е. выполняется условие (8), т.е. на выходах интеграторов 1 устанавливаются также напряжения Z_{μ}° , которые минимизируют $P(Z)$.

Максимальное из напряжений Z_{μ}° , т.е. напряжение Z_m° передается через диод 5 m -й пары на вход ключа 7. Остальные диоды 5 оказываются закрытыми, так как к ним приложено напряжение

$$Z_{\mu}^{\circ} - Z_m^{\circ} < 0.$$

Диоды 4 обеспечивают выполнение условия (14).

После завершения переходного процесса первой фазы ключ 7 открывается

и начинается вторая фаза работы устройства. В этой фазе через m -й интегратор 1 и открытый второй диод 5 m -й пары течет ток

$$i_m = \frac{V - Z_m}{R},$$

где $(-R)$ - отрицательное сопротивление блока 8, малое по величине.

Токи других интеграторов 1 по-прежнему равны нулю, так как диоды 5 соответствующих пар закрыты. В связи с возникновением тока i_m напряжения на выходе сумматора 2 напряжений изменяются и становятся равными величине (5). В установившемся режиме второй фазы $\varphi=0$.

Это состояние достигается при значениях напряжения $Z_m = Z_m^*$. Тогда ток m -го интегратора 1

$$i_m^* = \frac{V - Z_m}{R}.$$

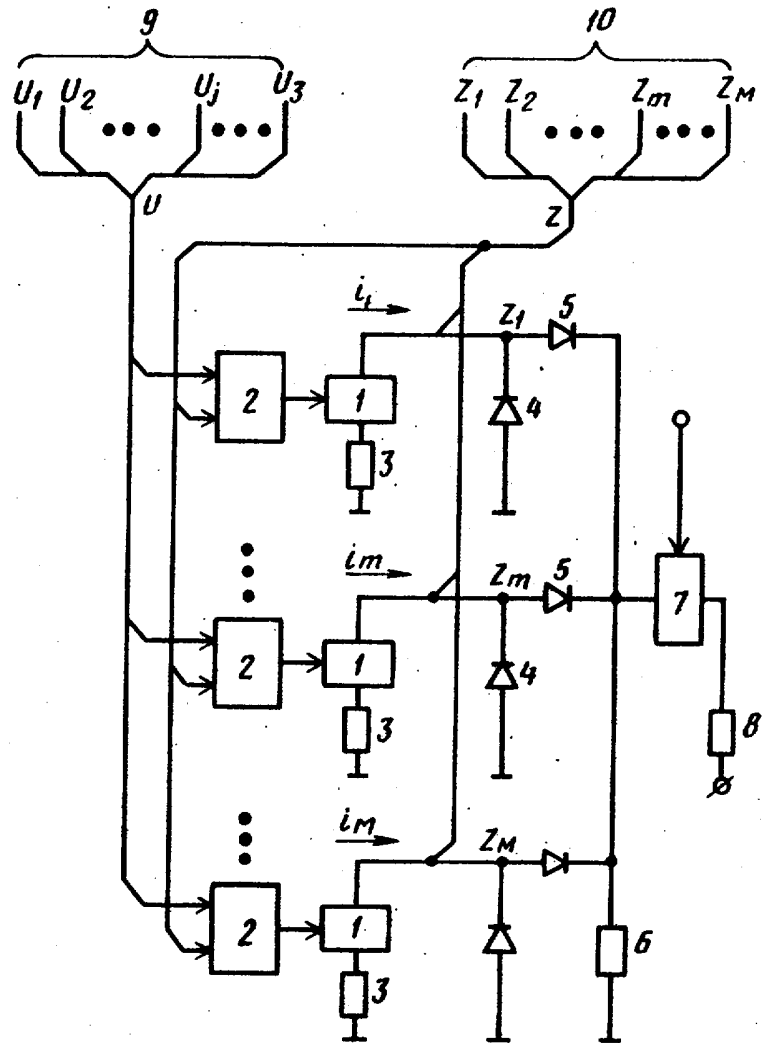
Так как $R \neq 0$, ток i_m^* ограничен лишь при условии $Z_m^* \approx V$, откуда $Z_m^* \approx 0$ при $\mu \neq m$. То есть установившийся режим второй фазы приводит к выполнению условия (11), если вторая фаза началась при условии (10). Следовательно, по окончании второй фазы устройство вырабатывает потенциал V на том выходе, который соответствует разрешенному вектору Y , ближайшему к данному вектору U .

Ф о р м у л а и з о б р е т е н и я

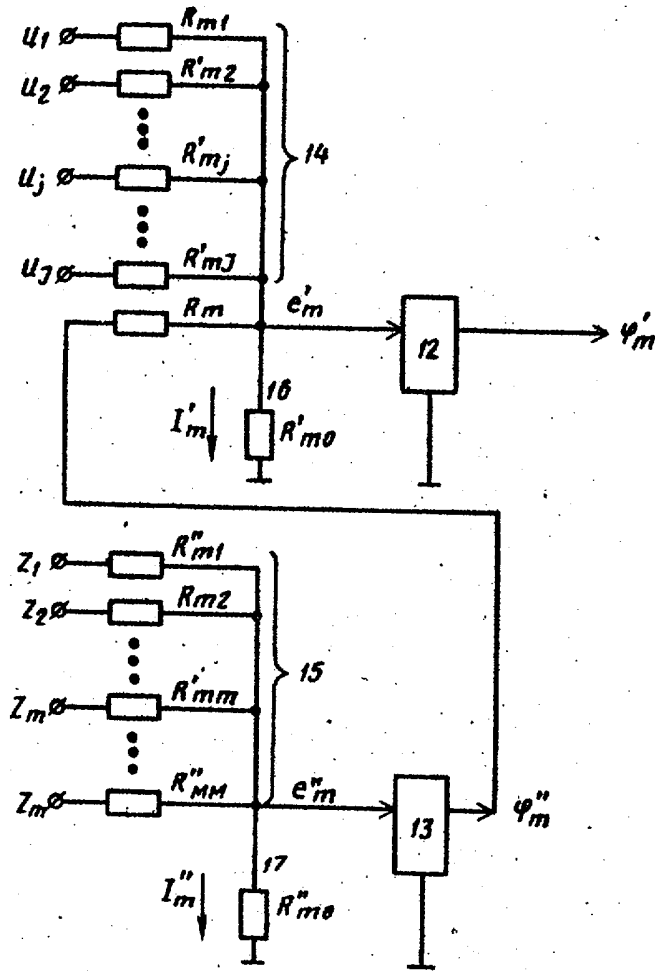
Дешифратор, содержащий M интеграторов, M сумматоров напряжений, выход каждого из которых соединен с первым входом соответствующего интегратора, одноименные входы первых групп входов всех сумматоров напряжений объединены и являются соответствующими входами дешифратора, одноименные входы вторых групп входов всех сумматоров напряжений объединены с соответствующими выходами дешифратора, отличающийся тем, что, с целью повышения надежности функционирования, в него введены ключ, блок отрицательного сопротивления, M резисторов смещения, резистор и M пар диодов, первый вывод первого диода в каждой паре соединен с общей шиной, второй вход каждого интегратора

через соответствующий резистор смещения подключен к общей шине, выход каждого интегратора соединен с вторым выводом первого и первым выводом второго диодов в соответствующей паре и является соответствующим выходом дешифратора, вторые выводы вторых ди-

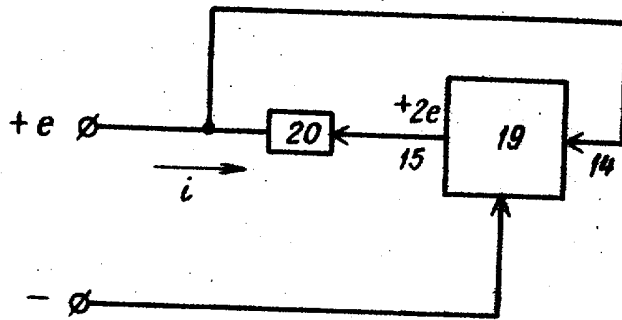
одов всех пар объединены и подключены к выходу ключа и через резистор — к общей шине, управляющий вход ключа является управляющим входом дешифратора, вход ключа через блок отрицательного сопротивления подключен к шине источника питания.



Фиг. 1



Фиг. 2



Фиг. 3

Редактор Н. Егорова Составитель О. Ревинский Корректор М. Самборская
 Техред Л. Олейник

Заказ 2460/59

Тираж 816

Подписное

ВНИИПИ Государственного комитета СССР
 по делам изобретений и открытий
 113035, Москва, Ж-35, Раушская наб., д. 4/5

Производственно-полиграфическое предприятие, г. Ужгород, ул. Проектная, 4